

明 細 書

A/D変換アレイ及びイメージセンサ

5 技術分野

本発明は、イメージセンサ特に CMOS イメージセンサのカラムに A/D 変換器を集積化し、デジタル出力とするとともに、高速度の信号読みだしを可能にする技術に関する。この技術は、イメージセンサからの信号を集中して短時間で読み出す機能を備えたイメージセンサや、高速撮像用のイメージセンサとして有用である。

背景技術

このように CMOS イメージセンサのカラムにおいて A/D 変換を行う従来技術としては、以下がある。

15 [1] 特許第 2 5 3 2 3 7 4 号明細書

[2] A. Simoni, A. Sartori, M. Gottaidi, A. Zorat, "A digital vision sensor," Sensors and Actuators, A46-47, pp. 439-443, 1995.

[3] T. Sugiki, S. Ohsawa, H. Miura, M. Sasaki, N. Nakamura, I. Inoue, M. Hoshino, Y. Tomizawa, T. Arakawa, "A 60mW 10b CMOS image sensor with column-to-column FPN reduction," Dig. Tech. Papers, Int. Solid-State Circuits Conf., "pp. 108-109, 2000.

[4] B. Mansoorian, H.Y. Yee, S. Huang, E. Fossum, "A 250mW 60frames/s 1280x 720 pixel 9b CMOS digital image sensor," Dig. Tech. Papers, Int. Solid-State Circuits Conf., "pp. 312-313, 1999.

25 [5] S. Decker, R. D. McGrath, K. Bremer, C. G. Sodini, BEST AVAILABLE COPY

2

imaging array with wide dynamic range pixels and column-parallel digital output, " IEEE J. Solid-State Circuits, vol. 33, no. 12, Dec. 1998.

[6] K.Nagaraj, "Efficient circuit configuration for algorithmic analog to digital converters", IEEE Transactions on Circuits and Systems II: Analog and digital signal processing, vol.40, no.12, pp.777-785, Dec.1993.

上記[1]は、ランプ信号発生器、比較器、レジスタを用いた8-bitの積分型A/D変換器要素をカラムに集積化するものである。同様なものが[2]にも報告されている。また[3]は、同様に積分型A/D変換器要素をカラムに集積化するものであるが、精度向上した比較器を用いて10bを実現している。これら積分型A/D変換器は、変換時間が長く、特に分解能をあげようとするとき指数関数的に変換時間が長くなるので、そのままではこれ以上の分解能の実現は困難である。しかし、線形性に優れる利点がある。

また、[4]は、キャパシタを用いた逐次比較型A/D変換器をカラムに並べて動作させるもので、高速なA/D変換が可能であるため、高フレームレート、多画素数のイメージセンサに適している。しかし、これも実際の精度としては、8bit程度にとどまっている。また、[5]は2段の巡回型A/D変換器要素をカラムに並べて動作させるもので、これも高速A/D変換に適している。しかし2個のアンプを用いるため、回路規模が大きくなる。[6]は、本願発明に一見似ているが、キャパシタの使い方が異なっており、非効率である。

なお、これら以外に、画素内にA/D変換要素をもつイメージセンサが幾つか報告されているが、本発明と直接関係しないため割愛する。

従来技術の[5]は、本発明に最も関連があるので回路を取り上げて説明する。これは、図1のように、1ビットのA/D変換を行う回路を2段従属接続し、その出力を入力に戻すことで巡回型のA/D変換を行うものである。このような方式では、各段毎に増幅器が必要であり、面積が大きくなるとともに、消費電力が増大

する。また、イメージセンサのカラムに集積化するA/D変換器として用いた場合、ノイズキャンセル用アンプとA/D変換器用アンプと合わせて、3つのアンプが各カラム毎に必要である。

5 発明の開示

カラムにA/D変換器を集積化する本発明のCMOSイメージセンサの構成を図2に示す。行単位でカラム読みだし回路に読み出された信号は、まずノイズキャンセルがなされ、その信号が各画素毎に巡回型A/D変換回路に与えられる。ここで、必要な分解能のA/D変換を行い、そのデジタル値を水平走査により読み出す。高速な信号の読みだしのため、全部を直列に水平走査するのではなく、複数の出力を設けて部分的な水平走査を並列に実行する方法、図3のように、ADC(アナログデジタル変換器)出力をマルチプレクスして、デジタル化された信号を複数線で並列に出力する方法が多々考えられる。また、後述するが、図2、3において、1の部分、すなわちノイズキャンセルと巡回型ADCを、1つのアンプを用いて構成し、一体化することも可能である。

図面の簡単な説明

第1図は、2段巡回型A/D変換器(従来技術)を示す図である。

第2図は、巡回型A/D変換器をカラムに集積したイメージセンサの構成を示す図である。

第3図は、巡回型A/D変換器をカラムに集積したイメージセンサの構成(並列出力)を示す図である。

第4図は、一回あたり1.5ビットのA/D変換を行う巡回型A/D変換器の回路構成例を示す図である。

第5図は、一サイクルあたり1.5 bitのA/D変換を行う巡回型A/D変換器の変

換特性を示す図である。

第6図は、一サイクルあたり1.5 bitのA/D変換を行う巡回型A/D変換器の等価ブロック図である。

第7図は、第4図のA/D変換器の動作タイミング図である。

5 第8図は、半サイクルで、1.5ビットのA/D変換を行う巡回型A/D変換器を示す図である。

第9図は、第8図の回路の動作タイミングを示す図である。

第10図は、ノイズキャンセルとA/D変換を一体化したイメージセンサ用A/D変換器を示す図である。

10 第11図は、ノイズキャンセル・増幅とA/D変換を一体化したイメージセンサ用A/D変換器を示す図である。

第12図は、第11図の回路の動作タイミング図である。

第13図は、3トランジスタ画素回路を示す図である。

第14図は、第11図の回路を全差動回路構成とした回路例を示す図である。

15 第15図は、半サイクルでA/D変換を行う回路とノイズキャンセル・増幅機能を一体化した構成を示す図である。

第16図は、第15図の回路の動作タイミング図である。

第17図は、S/Hアンプを設けたイメージセンサ用A/D変換器を示す図である。

第18図は、第17図の回路の動作タイミング図である。

20 第19図は、イメージセンサのカラムでADCの誤差補正を行う場合の構成を示す図である。

発明を実施するための最良の形態

以下において述べるように、巡回型A/D変換として、1サイクルあたり、例えば2進で-1, 0, 1の3値を取る冗長表現を用いるが、最終的にはデータ出力

25

線数を減らすために、非冗長表現に変換した後に、そのデジタルデータを、水平走査（あるいは並列出力のときは部分的水平走査）を行って出力する。なお出力のデータレートが低い場合には、水平走査後、冗長表現から非冗長表現に変換してもよい。この変換は、Nビットの場合には、N+1桁の加算を行う加算器を用いて行うことができる。

〔実施例1〕

本発明は、巡回型のA/D変換を行うための増幅器の数とキャパシタの数を減らしたことを特徴とする。図4に、1サイクルあたり1ビットまたは1ビット半のA/D変換を行う本発明の巡回型A/D変換器の回路例を示す。これは機能としては、図6と等価である。

図5に、図4の巡回型A/D変換器の変換特性を示す。図4において、 V_{RM} 、 V_{RP} は、図5の V_{ref} 、 $-V_{ref}$ に対応する。図4のデジタル出力 D_0 、 D_1 と図5の D 、及び比較器(3)への入力信号 V_{in} との関係は、次式のようにになる。

【数1】

$$D = \begin{cases} 1 & (D_1=1, D_0=1) \quad (V_{in} > V_{ref}/4) \\ 0 & (D_1=0, D_0=1) \quad (V_{ref}/4 \geq V_{in} \geq -V_{ref}/4) \\ -1 & (D_1=0, D_0=0) \quad (-V_{ref}/4 > V_{in}) \end{cases} \quad (1)$$

すなわち、入力に(1) $-V_{ref}$ から $-V_{ref}/4$ 、(2) $-V_{ref}/4$ から $V_{ref}/4$ 、(3) $V_{ref}/4$ から V_{ref} の3領域に分割し、これらの領域に対して3値のA/D変換を行って-1, 0, 1のデジタルコードを割り当てる。最初のコードは最上位桁になる。図4の特性に従って演算し、出力を生成する。その演算は、次式で表される。

【数2】

$$V_{out} = 2V_{in} - D \times V_{ref} \quad (2)$$

6

すなわちこれは、上位桁から順にA/D変換し、入力を2倍して、そのA/D変換値によって、一定値をさしひくことで、その出力が必ず $\pm V_{ref}$ の範囲になるようにし、これを再び入力に与えて同じことを繰り返すことで、多ビットのA/D変換を行うというものである。このときに1回あたり(1桁)、3値でA/D変換を行うので、デジタル値には冗長性が生じる。この冗長性により、比較器の精度要求が大きく緩和され、高精度なA/D変換が可能となる。

2進数では、各桁毎に0と1の2値を取るが、各桁毎に-1, 0, 1の3値を取るので、1段あたり1.5ビットのA/D変換を行っていると考えることができる。実際の動作としては、図6に示すように、最初は、制御信号 ϕA (以下、 ϕA と略す)によるスイッチをオンし、入力信号を与え、1段あたり1.5ビットの演算を行う。その結果により、式(2)に従って演算を行う。その出力をS/H(サンプルホールド)回路に記憶する。これで最初の1サイクルが完了する。次に、制御信号 ϕB (以下、 ϕB と略す)によるスイッチをオンし、 ϕA によるスイッチをオフして、S/H回路の出力を1.5ビットのビットのA/D変換器に与え、同じことを繰り返す。これを、N回繰り返した場合、N+1ビットのA/D変換が行える。

図4は、図6と同じ機能を実現しながら、必要なアンプと容量の数を減らしたものである。その動作タイミング図を図7に示す。図7では、3サイクル目までを示している。

図4では、まず最初C1とC2とともに V_{in} をサンプルし、その後C2は反転増幅器(2)の入出力間に接続し、2つの比較器(Comparator)により、式(1)による1.5ビットのA/D変換を行う。C1は、D/A変換器に接続する。これにより、次式の演算が実行される。

【数 3】

$$V_{out}(0) = (1 + \frac{C_1}{C_2})V_{in} - D(0) \times \frac{C_1}{C_2}V_{ref} \quad (3)$$

C₁ = C₂ であれば、これは、式(2)と等価である。ここで、V_{out}(0)は、最初のサイクルの出力、D(0)は、最初のA/D変換値、つまり最上位桁の値である。その出力を、サンプルし、ホールドするため、図6では、S/H回路を設けているが、
 5 図4では、それと等価な処理となるように容量とスイッチを制御する。まず、C₂にはもともと V_{out}(0)が記憶されている。そこで、C₁を用いて V_{out}(0)と接地点との間の電圧を記憶し、次いで、A/D変換の結果に従って、これをDAC(デジタル・アナログ変換器)と反転増幅器(2)の仮想接地点の間に接続し直せば、その差に比例した電荷

10 【数 4】

$$Q = C_1(V_{out}(0) - D(1)V_{ref}) \quad (4)$$

が、C₂に転送され、その結果次式の演算が実行される。

【数 5】

$$\begin{aligned} V_{out}(1) &= V_{out}(0) + \frac{C_1(V_{out}(0) - D(1)V_{ref})}{C_2} \\ &= (1 + \frac{C_1}{C_2})V_{out}(0) - \frac{C_1}{C_2}D(1)V_{ref} \end{aligned} \quad (5)$$

これを必要なサイクル数だけ繰り返す。

図4の構成をとることで、1つの反転増幅器(2)と2つの容量を用いて、A/D

8

変換器が構成される。これは、回路構成が簡単であるため、これを複数並べて、並列に入力信号を与えて動作させ、全体として高速なA/D変換を行うことができる。

ここで、回路の基本動作を説明する。最初にキャパシタC 1 とC 2 をともに入力(V in)に接続し、それぞれに電圧V in で充電する。それぞれの電荷をQ 1, Q 2 とすると、 $Q 1 = C 1 \cdot V in$, $Q 2 = C 2 \cdot V in$ となる。その後、キャパシタC 2 の一端を反転増幅器(2)の出力端に接続する。すなわち、キャパシタC 2 には、最初からQ 2 の電荷が充電されている。また、キャパシタC 1 の一端はDAC(デジタル・アナログ変換器)に接続を替える。DACの出力電圧をV dac とすると、
10 キャパシタC 1 の端子電圧はV in からV dac に変化するので、キャパシタC 1 に充電されている電荷の変化は、 $\Delta Q 1 = C 1 (V in - V dac)$ となり、この変化分がキャパシタC 2 に転送される。その結果、最終的な出力は、 $V out = (Q 2 + \Delta Q 1) / C 2 = ((C 1 + C 2) V in - C 1 \cdot V dac) / C 2$ となる。もし、C 1 = C 2 に選べば、 $V out = 2 V in - V dac$ となるから、入力を2倍してDACの出力を引くという巡回型A/D変換の基本演算ができる。従来の巡回型は、アンプの出力にS/H回路があり、S/H回路の出力をサンプルして巡回するために、まさに前述の基本動作が繰り返される。

発明者の提案する回路では、この動作を1個のアンプで行うために、巡回時に前述のV in という電圧は、アンプの出力電圧V out になるので、上記"C 2 をV in で充電する"のV in は、巡回時にはV out に相当する。すなわち、C 2 は最初からV in(=V out)で充電されているので、C 1 だけを最初V out(=V in)に接続して、その後DACに接続を切り替えるということをするだけで、 $V out = 2 V in - V dac$ の演算ができる。この場合もC 1 = C 2 に選定する。これにより、従来型よりキャパシタを減らすことができる。

25 あとで説明するノイズキャンセル動作と巡回型A/D変換動作を両立させる場合

には、入力 V_{in} と反転増幅器の入力間に C_1 を接続し、 C_2 は反転増幅器の入出力間に接続する。 C_2 の電荷は初期化 ($Q_2 = 0$) しておき、 C_1 の一端を V_s (信号電圧) から V_R (リセット電圧) に変化させることで、ノイズキャンセルを行う。その結果、 $C_1 = C_2$ に選定してあると、 $V_{out} = \Delta Q_1 / C_2 = C_1 (V_s - V_R) / C_2 = V_s - V_R$ となり、利得は 1 であるものの、 V_s から V_R を引くことによりノイズキャンセル動作となる。その後、巡回型 A/D 変換動作に入る。

[実施例 2]

図 8 は、容量を追加し、交互に用いることで、半クロックで 1.5 ビットの A/D 変換が行えるようにした回路の例を示している。その動作タイミング図を図 9 に示す。図 8 では、2 サイクル目までを示しているが、このように、2 サイクルで、4 桁分の 1.5 ビット A/D 変換が実行されている。

ここでは、A/D 変換のために比較器 (3) を 2 セット用いているが、1 セットの比較器の入力と出力にスイッチング手段を設け、時分割利用することにより、1 セットのみの比較器で構成することもできる。

[実施例 3]

このような巡回型 A/D 変換器をアレイ状に配置したものは、イメージセンサのカラムに用いて、並列に信号を与えて A/D 変換を行うのに有用である。この場合、図 2、3 に示したように、カラムで画素部が発生するノイズを低減するノイズキャンセル回路をカラムに並べて、その出力に対し、以上述べた A/D 変換器アレイを並べて動作させることも可能であるが、より効率の良い回路構成として、ノイズキャンセルの回路、あるいはノイズキャンセルをしながら一定の利得で増幅を行う回路と、巡回型 A/D 変換を一体化し、1 つのアンプを用いて、ノイズキャンセル・増幅及び A/D 変換を行う回路を構成することができる。

図 10 に示す回路では、光信号による信号電圧 (これを V_S とする) が V_{in} に印加される。この電圧を C_1 にサンプルする。このとき、 C_1 の他方は、 ϕ_A ,

φ 2 がオンとなった反転増幅器(2)の入力に接続されており、ほぼ接地電位となっている。次いで、φ A をオフにしたのちフォトダイオード部をリセットして、そのリセット電圧 V_R を V_{in} に与える。これにより、V_R - V_S の電圧差と C₁ の積による電荷が C₂ に転送され、アンプ出力の電圧が変化する。その出力電圧を V_{out}(0) とすると、これは次式で表される。

【数 6】

$$V_{out}(0) = \frac{C_1}{C_2} (V_S - V_R) \quad (6)$$

すなわち、画素部の信号レベルとリセットレベルの差が C₁/C₂ の容量比で増幅され、画素部の固定パターンノイズのキャンセルを行うことができる。アンプの出力に対して、2つの比較器(3)で1.5ビットA/D変換を行い、その結果を用いて、次の桁のA/D変換を行うための演算を行う。以降の動作は、図4の場合と同じである。

図10の回路では増幅度は C₁/C₂ の容量比で決定される。C₁ をノイズキャンセルと A/D 変換の両方に使う場合は C₁ = C₂ とする必要がある、その比は1となる。そこで、入力に第3のキャパシタ C₃ を追加することにより、増幅度を高める回路を提案する。その回路例を図11に示す。また、その動作タイミング図を図12に示す。

図11において、C₃ は、増幅を行う場合に用いる容量で、増幅を行わない場合（つまり、利得1でノイズキャンセルする。）は、図11の破線のAの部分を除く。

C₃ = (n - 1) C₀, C₁ = C₂ = C₀ とすることで、ノイズキャンセルされた信号に対して、n 倍の利得により増幅することができる。図11の V_{in} には、図13に示す画素内に数個のトランジスタを用いた増幅型イメージセンサの画素出

力を接続する。ここでは、3個のトランジスタを用いた場合（図13）を例にと
って説明するが、これに限定するものではなく、画素内で電荷転送を行う4トラ
ンジスタ、5トランジスタをはじめ、他の増幅型イメージセンサにも適用可能で
ある。

- 5 3トランジスタ型の増幅型イメージセンサの場合、選択された画素に対して、
まず信号がフォトダイオードに蓄積された結果発生する電圧レベル（これを V_S
とする）を出力し、図11の C_1 と C_3 にサンプルする。このとき、 ϕ_A による
スイッチをオンし、反転増幅器(2)の入出力をショートしておき、そのときの反転
増幅器(2)の入力に、 C_1 、 C_3 の他方は接続されている。次いで、 ϕ_A によるス
10 イッチを開き、フォトダイオード部に蓄積された電圧をリセット(R によるスイッ
チをオン)し、そのときのフォトダイオード部のリセット電圧レベル（これを V_R
とする）を図11の V_{in} に与える。これにより、 $V_R - V_S$ の電圧差と $C_1 + C_3$
の積による電荷が、 C_2 に転送され、アンプ出力の電圧が変化する。その出力
電圧を $V_{out}(0)$ とすると、これは次式で表される。

15 【数7】

$$V_{out}(0) = \frac{(C_1 + C_3)(V_S - V_R)}{C_2} = n(V_S - V_R) \quad (7)$$

- すなわち、画素部の信号レベルとリセットレベルの差が n 倍で増幅され、画素
部の固定パターンノイズのキャンセルと信号増幅を行うことができる。アンプの
出力に対して、2つの比較器(3)で1.5ビットA/D変換を行い、その結果を用い
て、次の桁のA/D変換を行うための演算を行う。以降の動作は、図4の場合と同
20 じであり、 C_3 については、最初の増幅の際にのみ用い、以降のA/D変換におい
ては用いない。

【実施例4】

12

なお、図 1 1 は、一端を接地した増幅器による回路を例として示したが、これを全差動の回路として構成することもできる。図 1 4 に全差動回路により図 1 1 と同様な処理を行う回路の例を示す。図 1 4 においても増幅を行わない場合は、A の部分を削除する。

- 5 図 1 4 は、全差動であるので、入力信号は、VIP と VIM の差電圧として与えられること想定している。増幅型のイメージセンサが画素部において、2本の信号線で差電圧として出力する場合は、図 1 4 の 2つの入力を画素部からの垂直信号線に接続すればよい。画素部からの信号が、シングルエンド信号であり、信号線が1本だけの場合は、図 1 4 の VIP を画素部からの垂直信号線に接続し、図 1 4
- 10 の VIM については、一定電圧を参照電圧として与えておく。

[実施例 5]

- 次に、半サイクルで 1.5 b の A/D 変換を行う図 8 の方式をイメージセンサのカラムに用い、ノイズキャンセル動作を行わせる場合の回路構成を図 1 5 に示す。その動作タイミング図を、図 1 6 に示す。その動作は、図 1 1 の場合とほぼ同様
- 15 であるが、2セットの比較器(3)を用いて、半サイクル毎に交互に用い、半サイクル毎に 2つの容量 C₁ を、式(5)に相当する演算と、出力のサンプル&ホールドの動作に用いる。

- ここでは、A/D 変換のために比較器(3)を 2セット用いているが、1セットの比較器の入力と出力にスイッチング手段を設け、時分割利用することにより、1
- 20 セットのみの比較器で構成することもできる。

なお、図 1 1 の回路に対しての全差動回路の構成を示したが、同様に図 4 や図 8、図 1 5 についても全差動回路とすることは当然可能であり、これらは、図 4、図 8、図 1 1 と図 1 4 から容易に類推できる。

[実施例 6]

- 25 以上の回路では、容量やアンプの数を減らすことができるが、一方、アンプの

13

もつオフセット電圧をキャンセルする機能を持たないため、このようなアンプのオフセット電圧や、スイッチのインジェクションによるオフセット電圧を除去することが必要である。これは、ディジタル領域で、あらかじめ測定しておいたオフセット電圧をカラム毎に差し引くことで除去することができる。ただし、この

5 ような処理を容易に行えない場合もあり、その場合には、アンプのオフセット電圧のばらつきの影響を受けにくい回路とする必要がある。その場合には、アンプがもう 1 つ必要になるが、イメージセンサのノイズキャンセル用アンプと兼用することで、効率化できる。

その回路例を図 17 に示す。その動作タイミング図を図 18 に示す。イメージ

10 センサ出力の信号レベルのサンプルを行う際、 ϕA で制御されるスイッチにより、最初、参照電圧 V_R に接続しておき、増幅時に、 $\phi 2d$ で制御されるスイッチにより、アンプの入出力間に接続する。これにより、ノイズキャンセル及び増幅時のアンプのオフセット電圧をキャンセルする。さらに、同じアンプを用いて 1 サイクルあたり 1.5 ビットの A/D 変換を行う巡回型 A/D 変換を行う。そのアンプの出

15 力をサンプルホールド回路により、記憶する。サンプルホールド回路は、アンプ A2 の入出力間を $\phi 2A$ により制御されるスイッチによりショートした電圧を基準として、容量 $C4$ に記憶し、その後、 $\phi 2$ と $\phi 2A$ で制御されるスイッチを開き、 $C4$ を $\phi 1d$ で制御されるスイッチにより、アンプの入出力間に接続する動作をする。これにより、サンプルホールド回路もアンプのオフセット電圧の影響

20 を受けない。

次の桁の A/D 変換のため、サンプルホールド回路の出力を前段の回路の $C1$ と $C2$ にサンプルする。このとき $\phi 1A$ で制御されるスイッチにより、アンプ A1 の入出力間をショートした電圧を基準として、サンプルし、その後、 $\phi 2A$ で制御されるスイッチにより、 $C2$ をアンプの入出力間に接続し、 $C1$ の一方の端子を DAC の出力に接続するようにすることで、式 (3) と同様の演算がなされ

25

るが、この動作においてもアンプ A 1 のオフセット電圧の影響は受けない。このようにノイズキャンセル、A/D 変換時、ともにアンプのオフセット電圧を受けない動作が可能となる。

5 なお、以上は、比較器を二つ用い、1 サイクルあたり 1.5 ビットの A/D 変換を繰り返す場合について述べたが、比較器を 1 つ用いて 1 ビットの A/D 変換を繰り返す方法、比較器を複数用いて、さらにアンプでの増幅も 4 倍、8 倍、16 倍として、1 サイクルあたり多ビットの A/D 変換を巡回する方法も考えられ、これらの方法を排除するものではない。

10 さらに、図 19 に示すように巡回型 ADC やノイズキャンセル回路の特性ばらつきに起因する誤差を、補正する回路をカラムに集積化することもできる。

また、ここでは反転増幅器 (2) として差動入力を有する反転増幅器を用いて説明をしたが、差動入力をもたずシングルエンド入力をもつ反転増幅器を用いても、同様な回路を構成できることは自明であり、これら他の増幅器の採用を排除するものではない。

15

産業上の利用可能性

本発明は、イメージセンサのカラムにおいて、巡回型の A/D 変換器をアレイ状に配置することで高速で高分解能の A/D 変換を行う方法とこれを用いて高速度イメージセンサを実現する方法を提供する。特に、従来の巡回型よりも増幅器の数
20 とキャパシタ（容量）の数を減らした点を特徴とするとともに、イメージセンサの画素部で発生するノイズ（リセットノイズ、固定パターンノイズ）をキャンセルするカラムのアンプを用いて巡回型の A/D 変換を行う。これにより、面積と消費電力を少なくすることができる。

15

請 求 の 範 囲

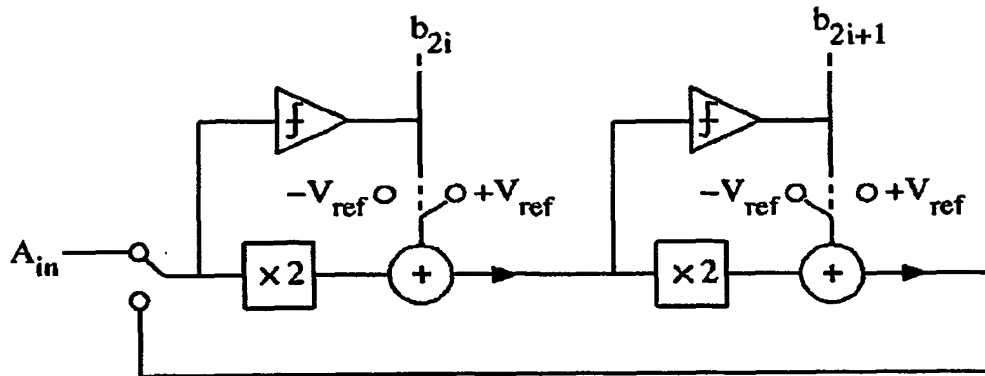
1. A/D変換アレイにおいて、1サイクルあたりNビットのA/D変換を行う回路要素と、該回路要素のデジタル出力を第1のスイッチング手段と第1の
5 キャパシタによりD/A変換する回路要素と、その変換結果のアナログ値をアナログ入力から減算及び増幅するために、前記第1のキャパシタとの比により利得を決定する第2のキャパシタを反転増幅器の入出力間に接続してなる増幅手段と、該増幅手段の出力を第2のスイッチング手段と前記第1のキャパシタによりサンプル&ホールドする回路要素と、前記増幅手段の出力と入力信号との一方を選択
10 するとともに選択された信号を前記第1のキャパシタを介して前記増幅手段の入力として与える第3のスイッチング手段とからなる単位回路をアレイ状に配置するとともに、前記第1乃至第3のスイッチング手段の制御手段をアレイの外部に設け、最初の段階で入力信号を前記増幅手段の入力として与え、次の段階で前記サンプル&ホールド回路要素を経由した信号を前記増幅手段の入力に与えること
15 により、巡回型の多ビットのA/D変換を行うことを特徴とするA/D変換アレイ。
2. 前記増幅手段におけるD/A変換に用いる第1のキャパシタを2個設け、これら複数のキャパシタをD/A変換用とサンプルホールド用とに交互に用いることにより1サイクルあたりの変換速度を2倍にしたことを特徴とする請求の範
20 囲第1項記載のA/D変換アレイ。
3. 前記NビットのA/D変換を行う回路要素は入力であるアナログ信号を電圧レベルにより3つの領域に区分し、3つの領域に対し1, 0, -1の値を割り振るものである請求の範囲第1項記載のA/D変換アレイ。
4. 前記増幅手段における増幅器を差動入力、差動出力を有する差動増幅器に
25 より構成し、その周辺のキャパシタ及びスイッチング手段を含めて全差動回路構

成とした請求の範囲第1項記載のA/D変換アレイ。

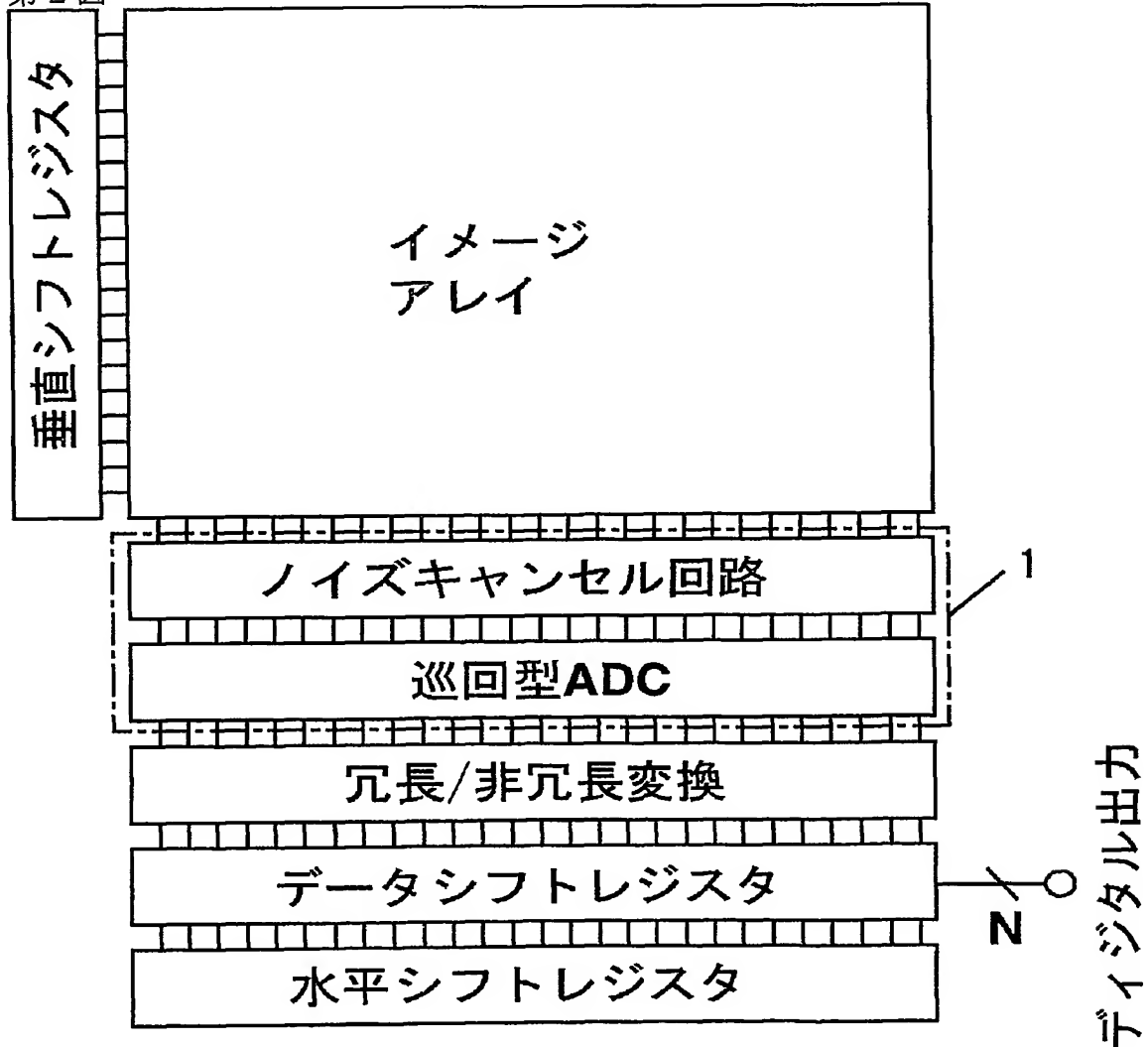
5. 請求の範囲第1項乃至第4項記載のA/D変換アレイをイメージセンサアレイのカラムに配置することにより、イメージセンサアレイの出力に対して並列にA/D変換を行うことを特徴とするイメージセンサ。

- 5 6. 前記イメージセンサアレイのカラムにノイズキャンセル回路を設け、該ノイズキャンセル回路は、第2の反転増幅器と、イメージセンサアレイの出力と前記第2の反転増幅器の入力との間に接続される第3のキャパシタと、前記第2の反転増幅器の入力と出力間に接続される第4のキャパシタと、それらの接続を切り替えるスイッチング手段とからなるものであり、前記巡回型A/D変換アレイ
- 10 における反転増幅器を前記ノイズキャンセル回路の第2の反転増幅器と兼用し、前記第1のキャパシタを前記第3のキャパシタと兼用し、前記第2のキャパシタを前記第4のキャパシタと兼用してなる請求の範囲第5項記載のイメージセンサ。
- 15 7. ノイズキャンセル動作の際にのみ、イメージセンサアレイの出力と反転増幅器の入力との間に接続されるキャパシタとして、第5のキャパシタを設け、前記第2のキャパシタとの容量比により増幅機能を得ることを特徴とする請求の範囲第6項記載のイメージセンサ。

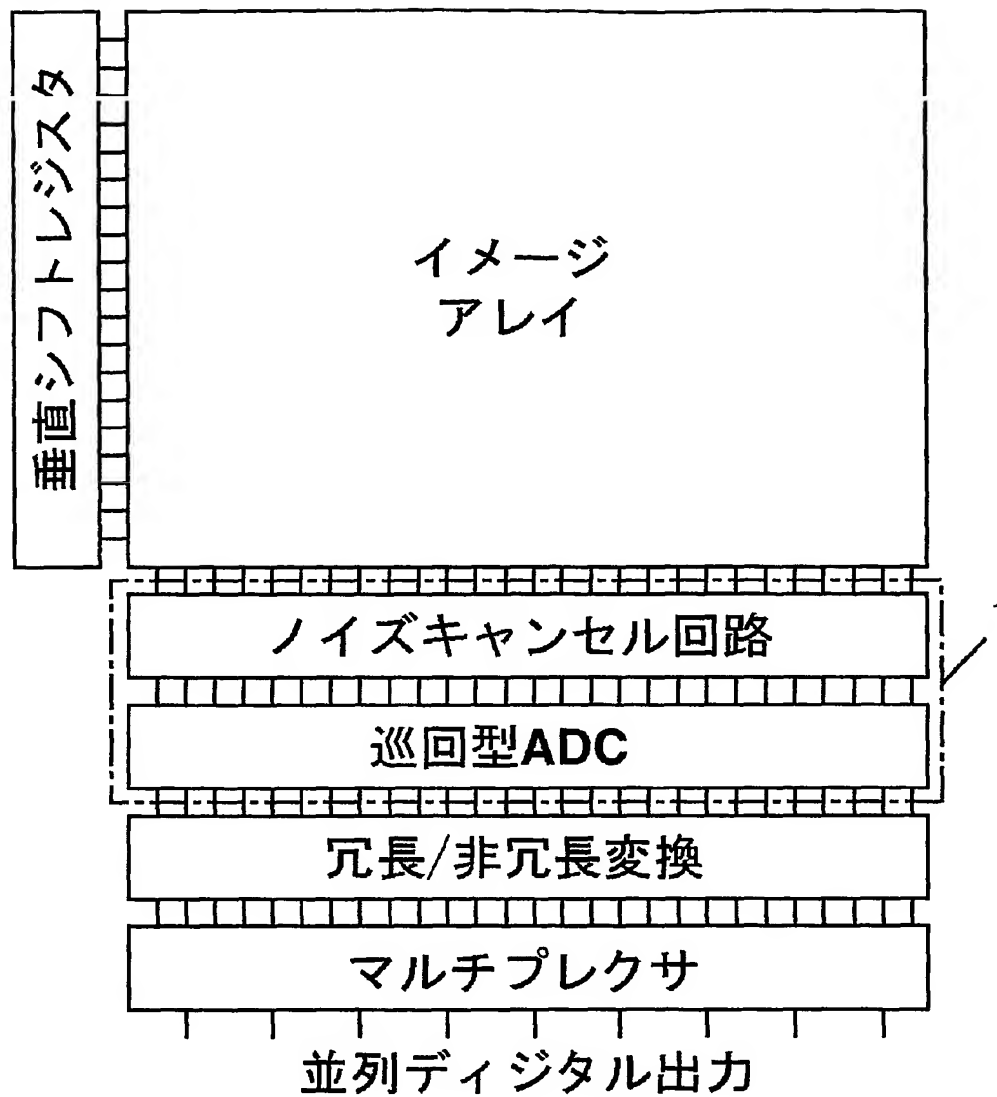
第1図



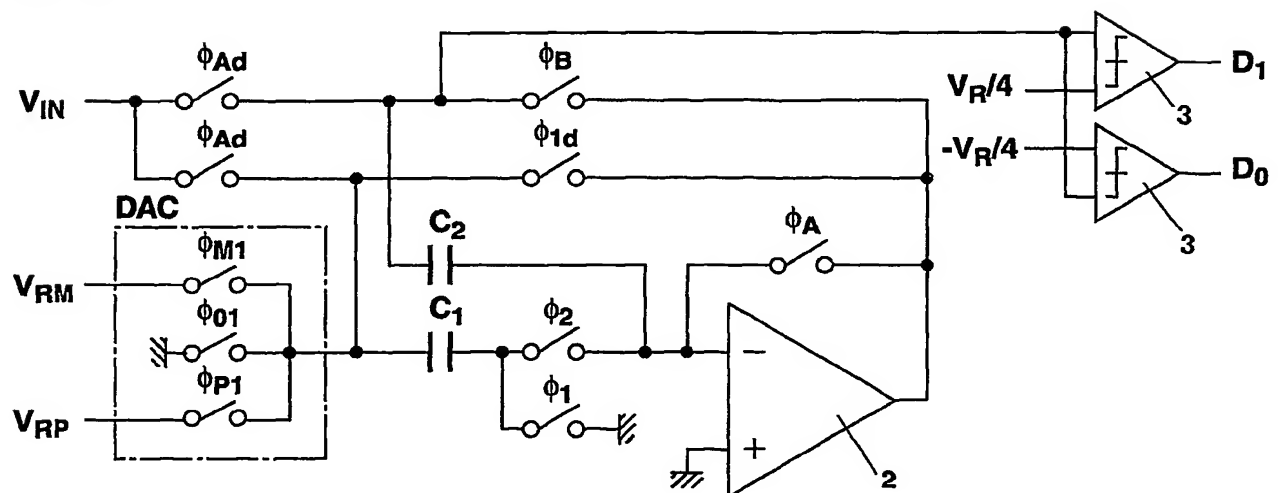
第2図



第3図

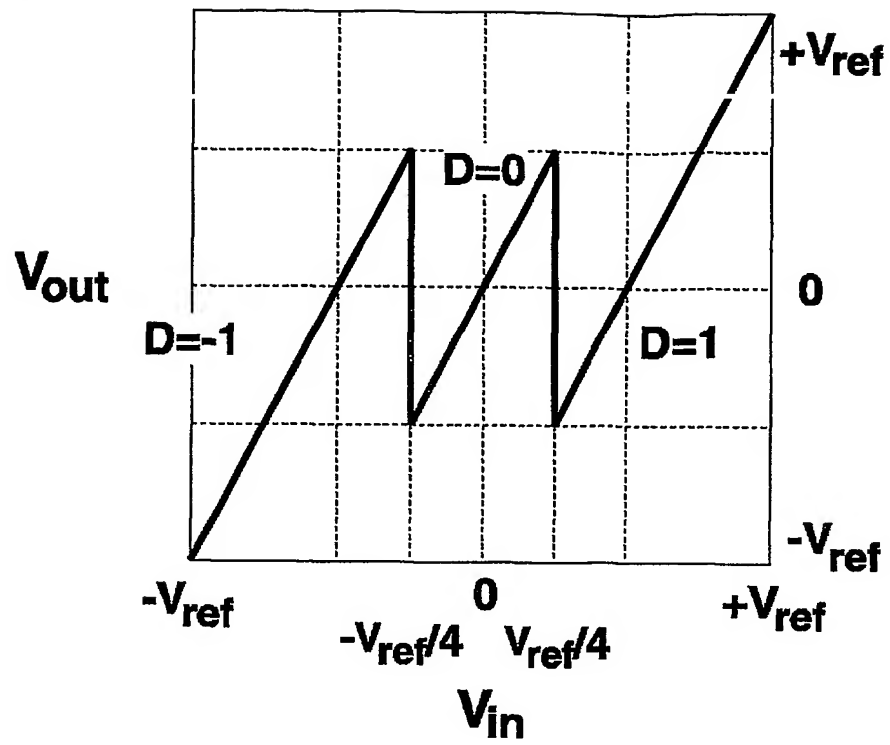


第4図

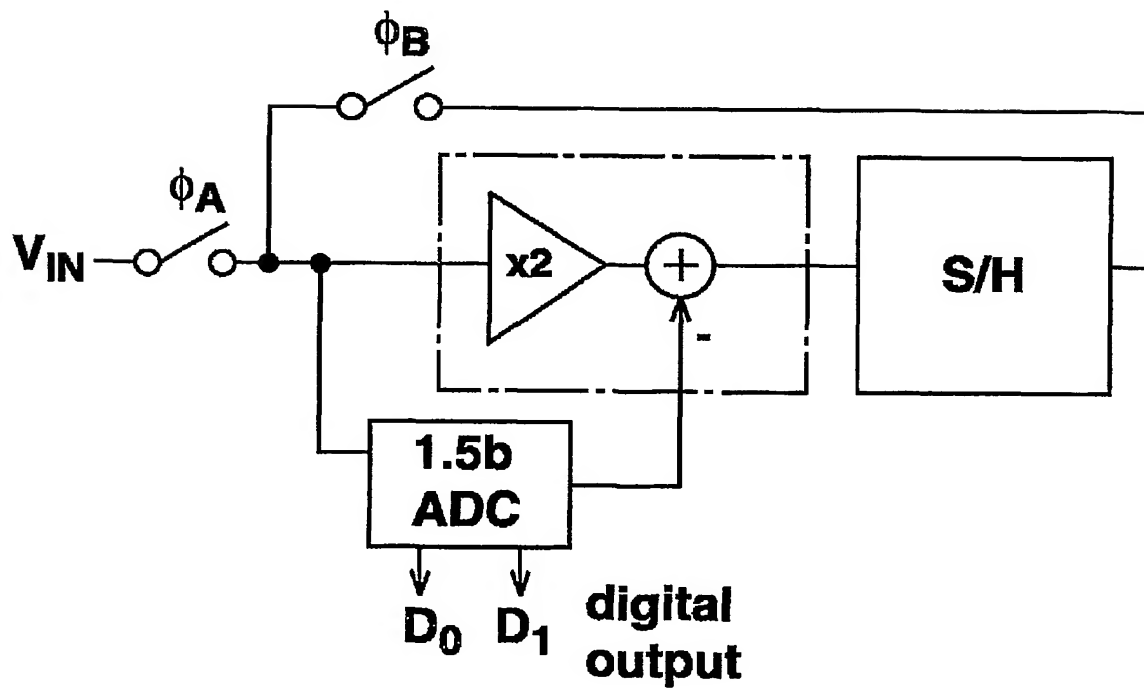


3/10

第 5 図

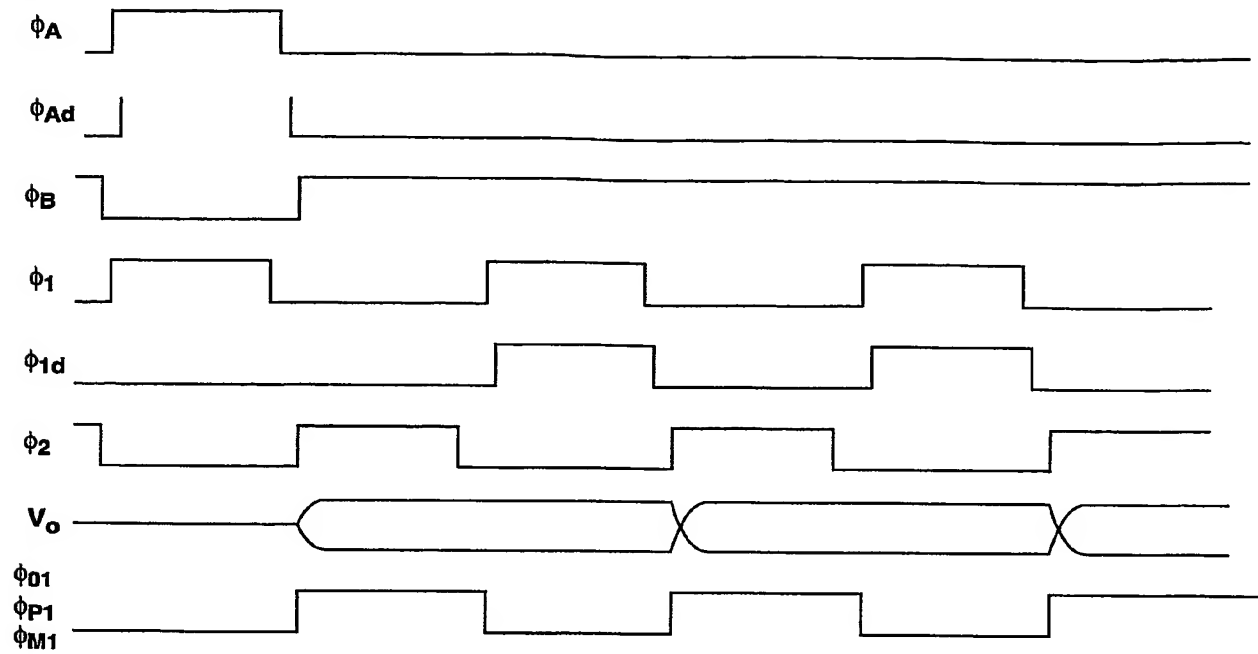


第 6 図

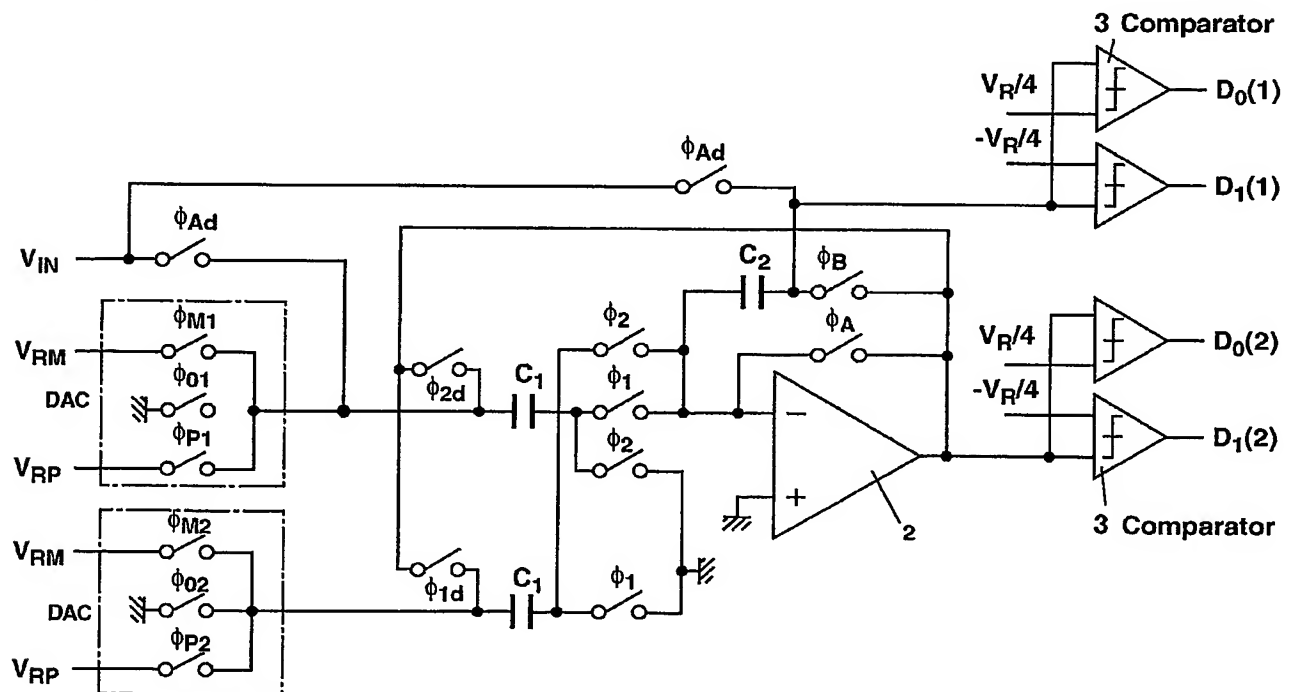


4/10

第 7 図

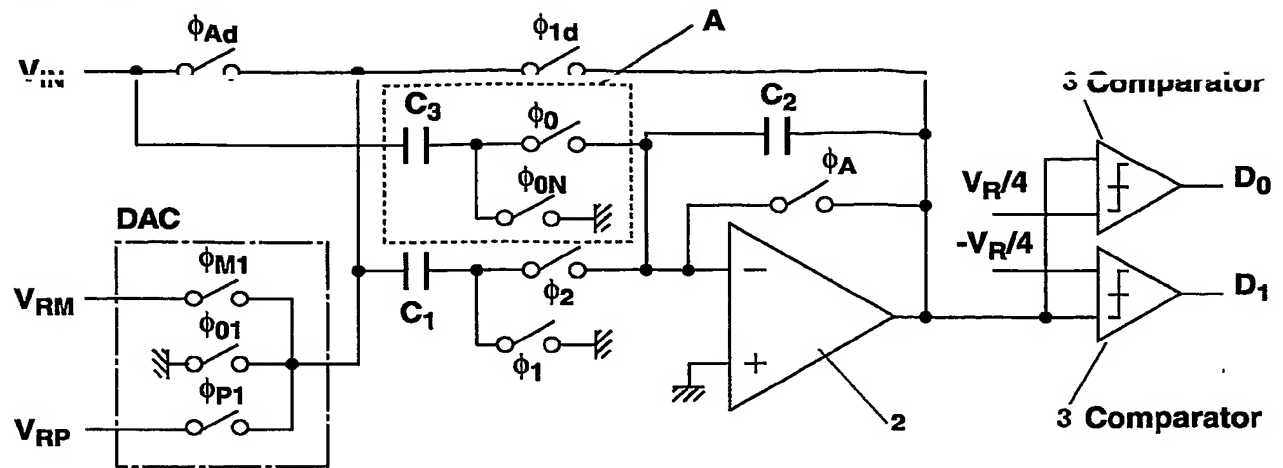


第 8 図

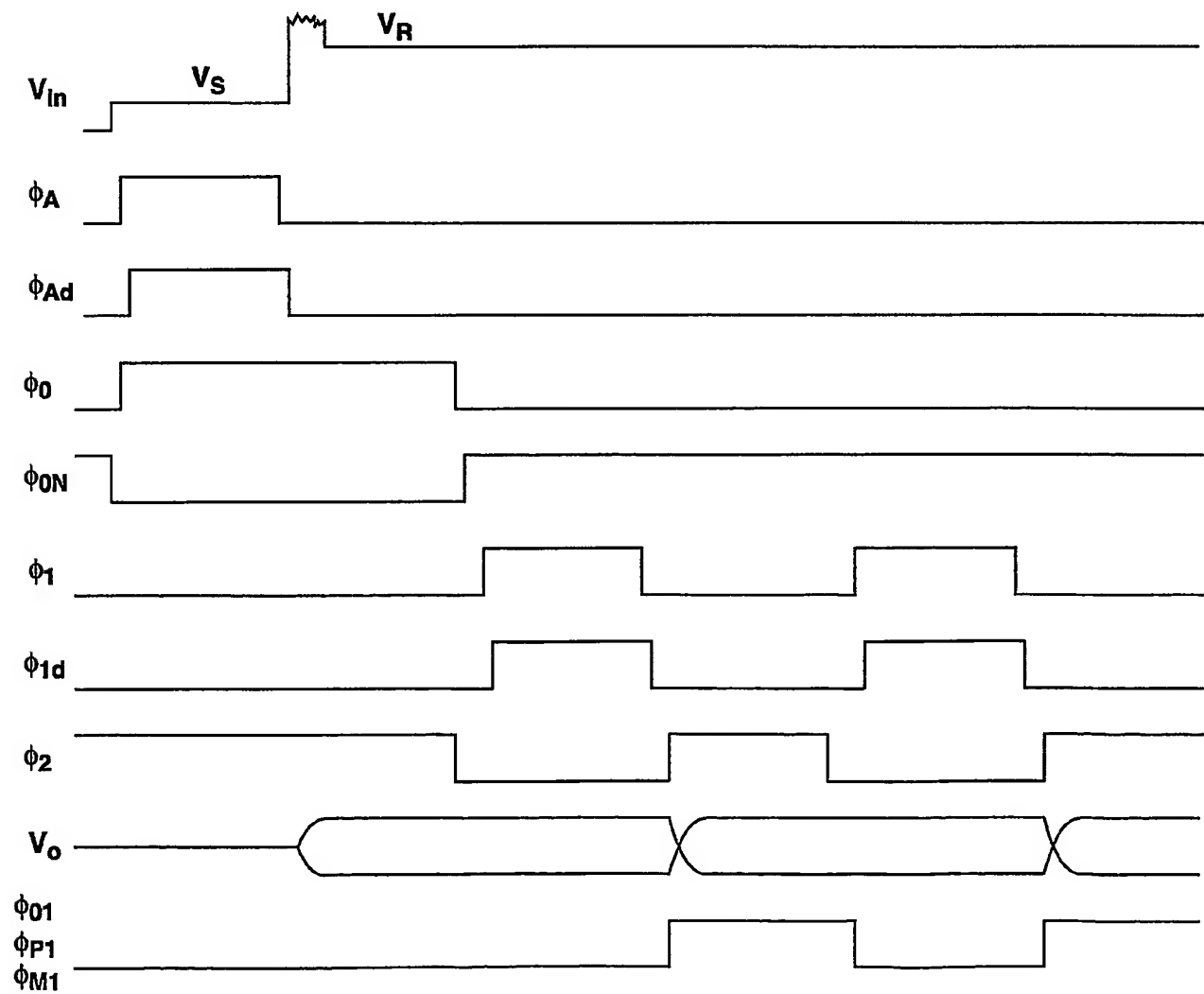


6/10

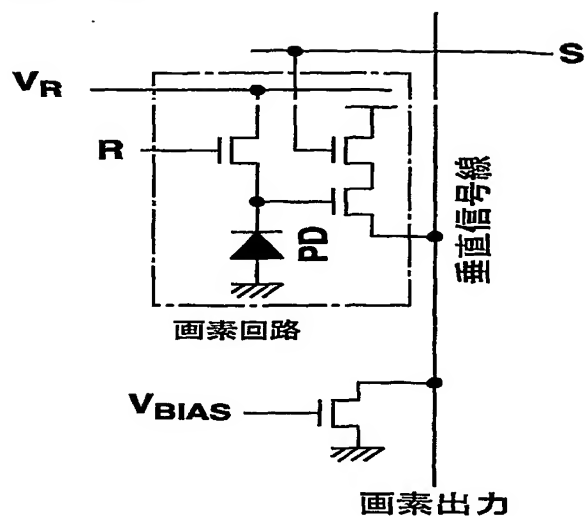
第 1 1 図



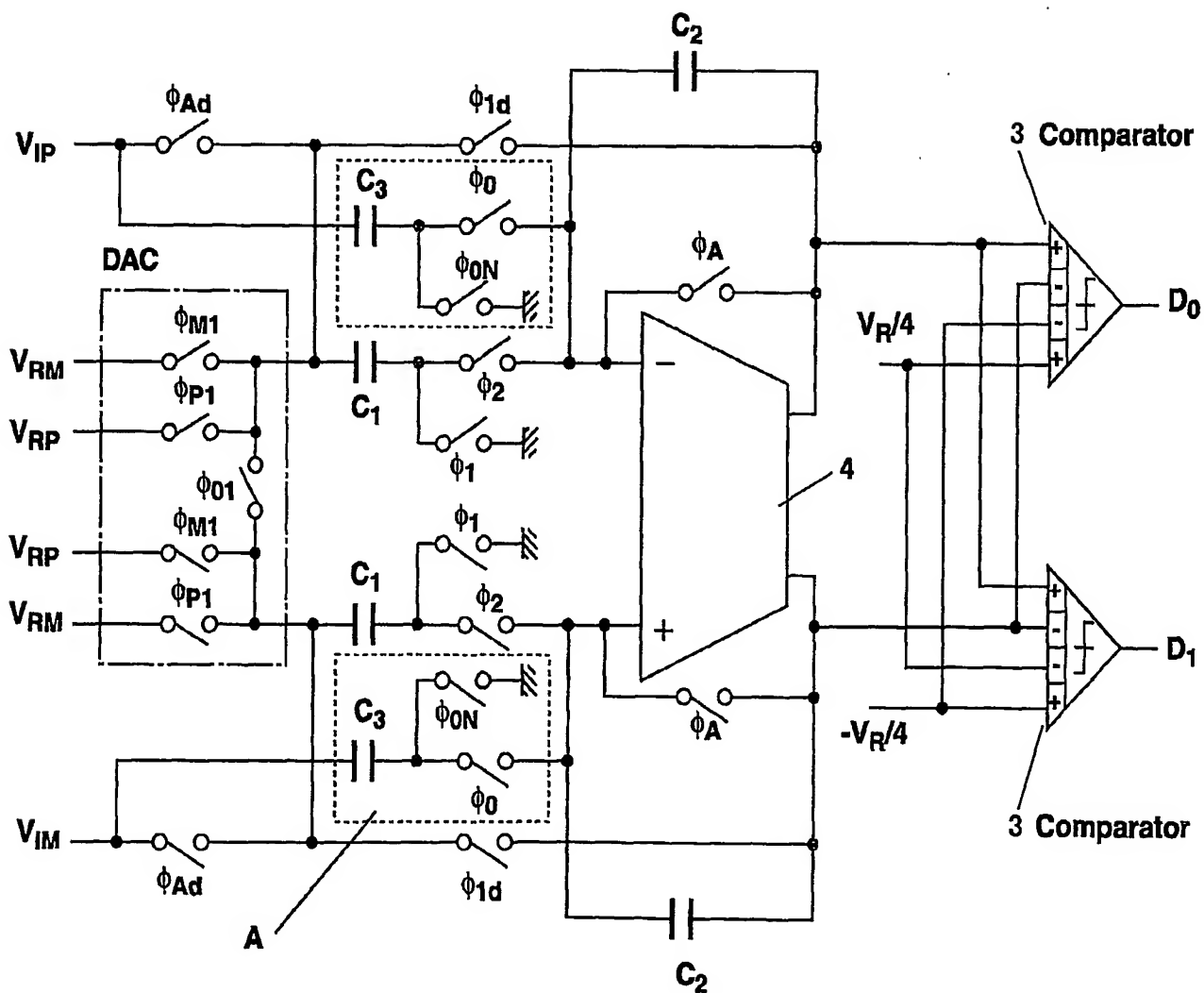
第 1 2 図



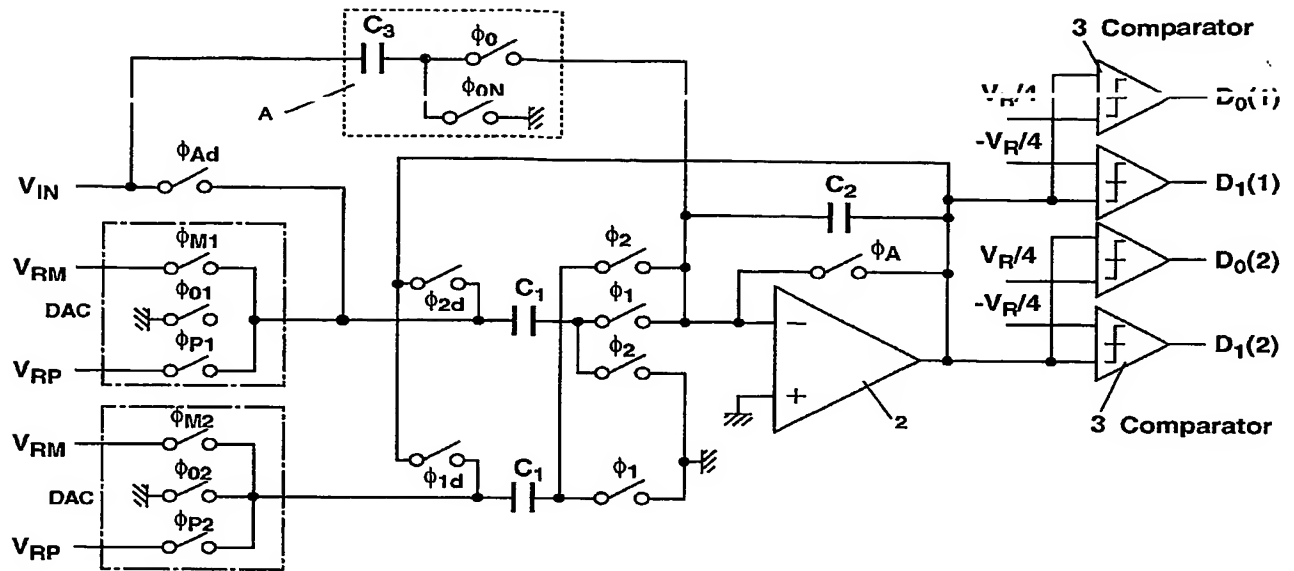
第 1 3 图



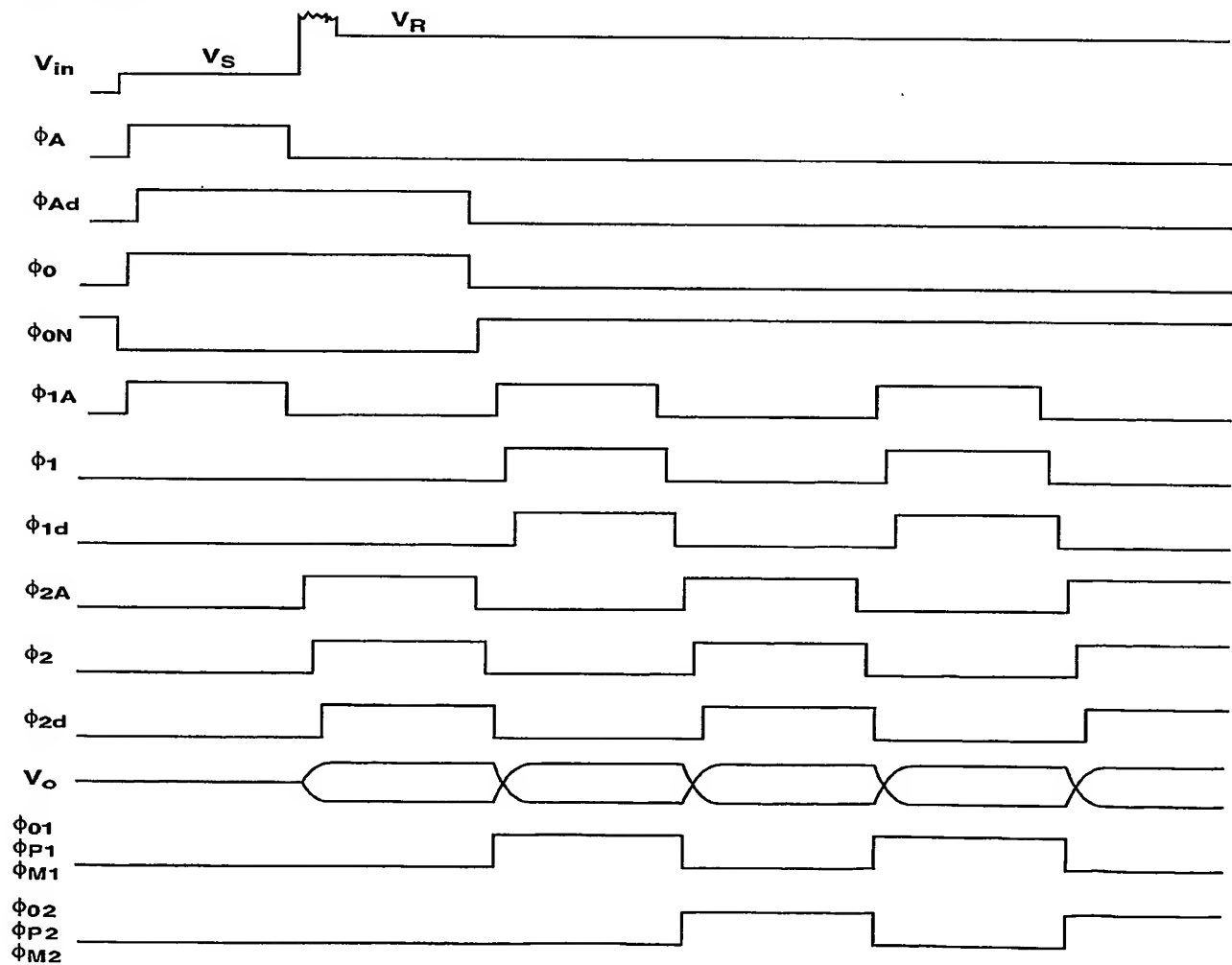
第 1 4 图



第 15 図

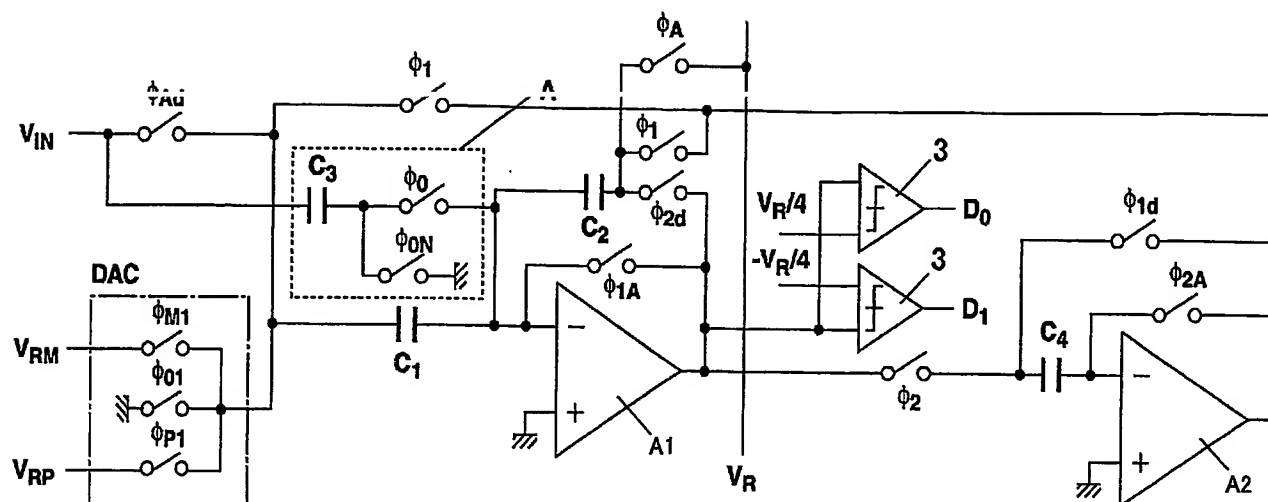


第 16 図

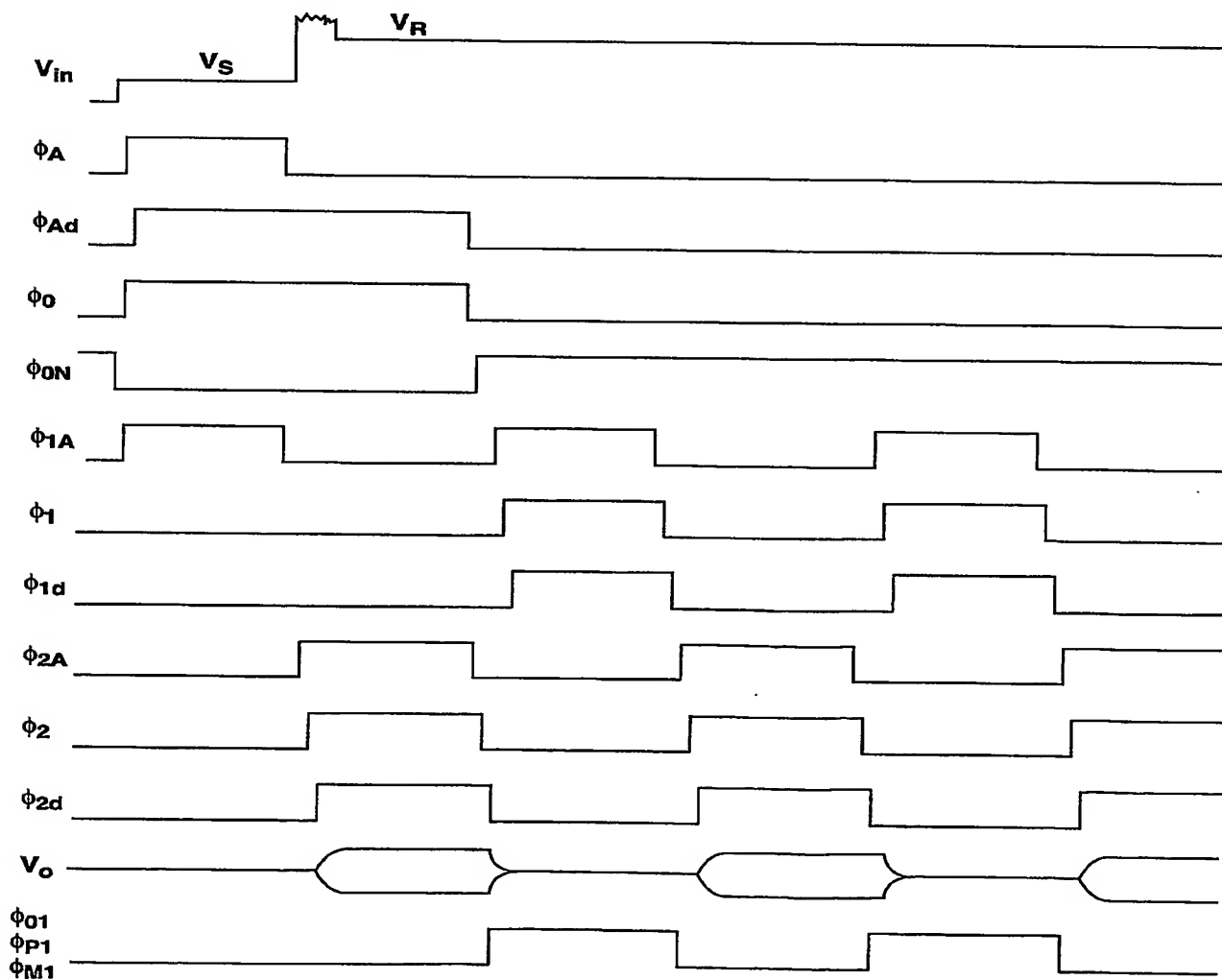


9/10

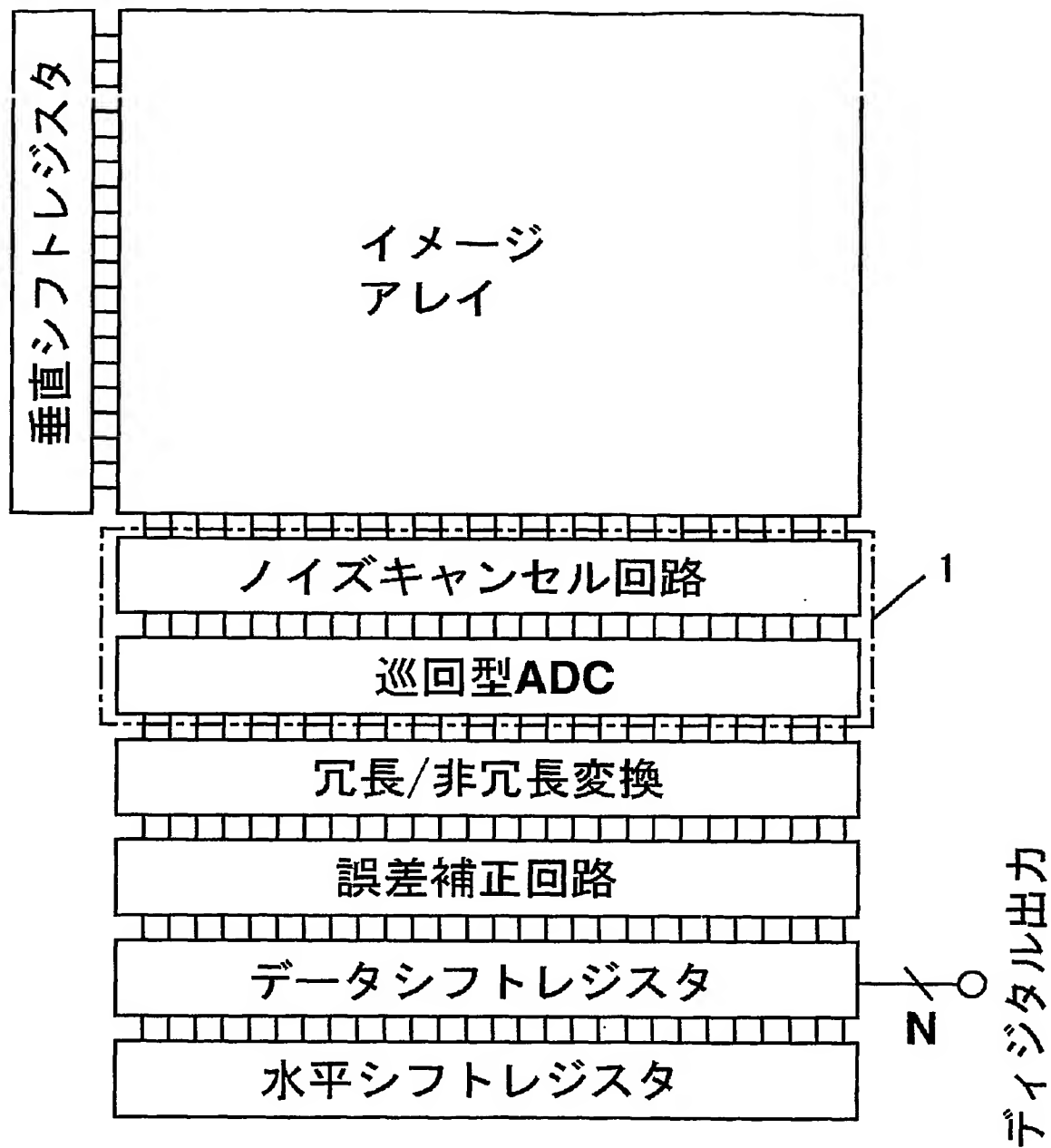
第 17 図



第 18 図



第 19 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016286

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H03M1/40, H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H03M1/00-1/88, H04N5/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 02-279021 A (Fujitsu Ltd.), 15 November, 1990 (15.11.90), Fig. 6 (Family: none)	1-7
A	JP 11-027148 A (Canon Inc.), 29 January, 1999 (29.01.99), Fig. 3 & US 6259393 B1	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 November, 2004 (22.11.04)

Date of mailing of the international search report
07 December, 2004 (07.12.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H03M1/40, H04N5/335

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H03M1/00-1/88, H04N5/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 02-279021 A (富士通株式会社) 15. 11. 1 990, 第6図 (ファミリーなし)	1-7
A	J P 11-027148 A (キヤノン株式会社) 29. 01. 1999, 第3図 & US 6259393 B1	1-7

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

22. 11. 2004

国際調査報告の発送日

07.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柳下 勝幸

5 X

9561

電話番号 03-3581-1101 内線 3556